

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0040474
Application Number

출원년월일 : 2002년 07월 11일
Date of Application JUL 11, 2002

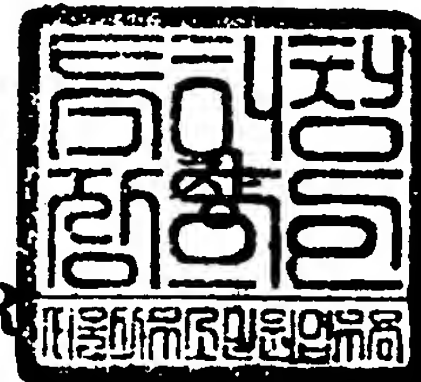
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 04 16 일
 년 월 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0006 |
| 【제출일자】 | 2002.07.11 |
| 【발명의 명칭】 | 부스팅 회로 |
| 【발명의 영문명칭】 | Boosting circuit |
| 【출원인】 | |
| 【명칭】 | (주)하이닉스 반도체 |
| 【출원인코드】 | 1-1998-004569-8 |
| 【대리인】 | |
| 【성명】 | 신영무 |
| 【대리인코드】 | 9-1998-000265-6 |
| 【포괄위임등록번호】 | 1999-003525-1 |
| 【발명자】 | |
| 【성명의 국문표기】 | 김의석 |
| 【성명의 영문표기】 | KIM,Eui Suk |
| 【주민등록번호】 | 690730-1036110 |
| 【우편번호】 | 467-860 |
| 【주소】 | 경기도 이천시 부발읍 아미리 산 148-1 하이닉스 반도체 사원임대아 파트 106-404 |
| 【국적】 | KR |
| 【취지】 | 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 신영 무 (인) |
| 【수수료】 | |
| 【기본출원료】 | 20 면 29,000 원 |
| 【가산출원료】 | 2 면 2,000 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 0 항 0 원 |
| 【합계】 | 31,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

【요약서】**【요약】**

본 발명은 부스팅 회로에 관한 것으로, 소정 시간 지연된 ATD 신호에 따라 기준 전압을 발생시키기 위한 기준 전압 발생 회로부와, 상기 ATD 신호와 그 반전 신호에 따라 소정의 부스팅 전압을 출력하기 위한 제 1 부스팅 수단과, 상기 기준 전압과 상기 제 1 부스팅 수단의 부스팅 전압에 따라 플래쉬 메모리 셀을 센싱하며, 상기 플래쉬 메모리 셀의 게이트 단자에 인가되는 상기 제 1 부스팅 수단의 부스팅 전압에 따라 출력 신호가 변화되는 센싱 회로와, 상기 제 1 부스팅 회로의 부스팅 전압과 상기 센싱 회로의 출력에 따라 상기 제 1 부스팅 회로의 부스팅 전압 또는 전원 전압을 인가하기 위한 스위칭 회로와, 상기 ATD 신호에 따라 출력 단자에 전원 전압을 공급하고, 상기 제 1 부스팅 회로의 부스팅 전압 또는 전원 전압에 따라 부스팅되어 두가지 레벨의 부스팅 전압을 출력하기 위한 제 2 부스팅 수단을 포함하여 이루어져, 고전압이 메인 셀의 워드라인에 인가되어 메인 셀에 스트레스를 주게되는 문제를 해결하고, 필요없는 전류 소모도 방지하며, 독출 마진도 확보할 수 있는 부스팅 회로가 제시된다.

【대표도】

도 1

【색인어】

부스팅 회로, 플래쉬 메모리 셀, 셀 스트레스

【명세서】

【발명의 명칭】

부스팅 회로{Boosting circuit}

【도면의 간단한 설명】

도 1은 본 발명에 따른 부스팅 회로도.

도 2는 본 발명에 따른 부스팅 회로에 적용되는 어드레스 천이 검출 신호 지연 회로의 일 예를 나타낸 회로도.

도 3은 본 발명에 따른 부스팅 회로에 적용되는 기준 전압 발생기의 일 예를 나타낸 회로도.

도 4는 본 발명에 따른 부스팅 회로에 적용되는 스위칭 수단의 일 예를 나타낸 회로도.

<도면의 주요 부분에 대한 부호의 설명>

11 : 기준 전압 발생 회로부 12 : 제 1 부스팅 수단

13 : 플래쉬 메모리 셀 센싱 회로 14 : 스위칭 회로부

15 : 제 2 부스팅 수단 101 : ATD 신호 지연부

102 : 기준 전압 발생기 103 : 제 1 스위칭 수단

104 : 제 2 스위칭 수단

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 부스팅 회로에 관한 것으로, 특히 스탠바이 모드에서 제 1 부스팅 수단과 제 2 부스팅 수단이 제 1 전위로 프리차지되고, 독출 모드에서 제 1 부스팅 수단의 부스팅 전위에 따라 플래쉬 메모리 셀의 셀 전류를 변화시켜 플래쉬 메모리 셀 센싱 회로의 출력이 변화시키고, 이에 의해 제 2 부스팅 수단이 제 3 전위로 부스팅되거나 제 4 전위로 부스팅되도록 함으로써 고전압이 셀의 워드라인에 인가되어 셀에 스트레스를 주게되는 문제를 해결하고, 필요없는 전류 소모도 방지하며, 독출 마진도 확보할 수 있는 부스팅 회로에 관한 것이다.

<12> 저전압용 플래쉬 메모리 소자에서 셀의 상태를 독출하기 위해서는 셀의 워드라인에 동작 전압보다 높은 전압을 인가하여야 한다. 이를 위하여 동작 전압을 부스팅시켜 동작 전압보다 높은 전압을 만들어 주는 방법을 사용하고 있다. 저전압용 플래쉬 메모리 셀의 동작 전원이 1.8~2.4V 정도인데, 두번의 부스팅을 할 경우 부스팅 전압은 4~5.4V 정도이지만 그 이상이 될 수 있다. 그런데, 부스팅 전압이 5.5V 이상으로 워드라인에 인가되면 약 6V의 프로그램 검증 전압과 가까워져 독출 마진을 확보할 수 없고, 셀이 스트레스를 받게 되어 수명을 단축시키는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <13> 본 발명의 목적은 독출 마진을 충분히 확보할 수 있는 부스팅 전압을 생성하는 부스팅 회로를 제공하는데 있다.
- <14> 본 발명의 다른 목적은 플래쉬 메모리 셀을 이용하여 부스팅 전압을 조절함으로써 독출 마진을 충분히 확보할 수 있고, 셀이 스트레스를 받지 않도록 하는 부스팅 회로를 제공하는데 있다.

【발명의 구성 및 작용】

- <15> 본 발명에 따른 부스팅 회로는 소정 시간 지연된 ATD 신호에 따라 기준 전압을 발생시키기 위한 기준 전압 발생 회로부와, 상기 ATD 신호와 그 반전 신호에 따라 소정의 부스팅 전압을 출력하기 위한 제 1 부스팅 수단과, 상기 기준 전압과 상기 제 1 부스팅 수단의 부스팅 전압에 따라 플래쉬 메모리 셀을 센싱하며, 상기 플래쉬 메모리 셀의 게이트 단자에 인가되는 상기 제 1 부스팅 수단의 부스팅 전압에 따라 출력 신호가 변화되는 센싱 회로와, 상기 제 1 부스팅 회로의 부스팅 전압과 상기 센싱 회로의 출력에 따라 상기 제 1 부스팅 회로의 부스팅 전압 또는 전원 전압을 인가하기 위한 스위칭 회로와, 상기 ATD 신호에 따라 출력 단자에 전원 전압을 공급하고, 상기 제 1 부스팅 회로의 부스팅 전압 또는 전원 전압에 따라 부스팅되어 두가지 레벨의 부스팅 전압을 출력하기 위한 제 2 부스팅 수단을 포함하여 이루어진 것을 특징으로 한다.
- <16> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이

아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며, 이 기술 분야에서 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 도면상에서 동일 부호는 동일 요소를 지칭한다.

- <17> 도 1은 본 발명에 따른 부스팅 회로도로서, 다음과 같이 구성된다.
- <18> 기준 전압 발생 회로부(11)는 어드레스 천이 검출(이하, ATD라 함) 신호를 소정 시간 지연시켜 논리 조합하는 ATD 신호 지연부(101)와 ATD 신호 지연부(101)의 출력 신호에 따라 기준 전압을 발생시키는 기준 전압 발생기(102)로 구성된다.
- <19> 제 1 부스팅 수단(12)은 ATD 신호와 제 1 내지 제 3 인버터(I11 내지 I13)를 통해 반전 지연된 ATD 신호에 의해 제 1 노드(Q11)를 소정의 전위로 부스팅시키는데, 다음과 같이 구성된다. 전원 단자(Vcc)와 제 1 노드(Q11) 사이에 제 2 노드(Q12)의 전위에 따라 구동되는 제 1 PMOS 트랜지스터(P11)가 접속된다. 제 2 노드(Q12)와 접지 단자(Vss) 사이에 ATD 신호에 따라 구동되는 제 1 NMOS 트랜지스터(N11)가 접속되고, 제 2 노드(Q12)와 제 1 노드(Q11) 사이에 ATD 신호에 따라 구동되는 제 2 PMOS 트랜지스터(P12)가 접속된다. 제 1 노드(Q11)와 접지 단자(Vss) 사이에 제 1 캐패시터(C11)와 제 2 NMOS 트랜지스터(N12)가 직렬 접속되는데, 제 1 캐패시터(C11)는 제 1 내지 제 3 인버터(I11 내지 I13)를 통해 반전 지연된 ATD 신호에 따라 충전되며, 제 2 NMOS 트랜지스터(N12)는 ATD 신호에 따라 구동된다. 상기 제 1 및 제 2 PMOS 트랜지스터(P11 및 P12)는 각각의 웰이 제 1 노드(Q11)와 접속된다.
- <20> 플래쉬 메모리 셀 센싱 회로부(13)는 기준 전압(VREF)과 제 1 노드(Q11)의 전위에 따라 구동되며, 플래쉬 메모리 셀(M11)의 게이트에 인가되는 제 1 노드(Q11)의 전위에 따라 출력 전압의 전위가 조절되며, 다음과 같이 구성된다. 전원 단자(Vcc)와 제 3 노드

(Q13) 사이에 게이트 단자가 접지 단자(Vss)와 접속된 제 3 PMOS 트랜지스터(P13)가 접속되고, 제 3 노드(Q13)와 접지 단자(Vss) 사이에 기준 전압(VREF)에 따라 구동되는 제 3 NMOS 트랜지스터(N13)와 제 1 노드(Q11)의 전위에 따라 구동되어 셀 전류가 조절되는 플래쉬 메모리 셀(M11)이 직렬 접속된다. 여기서, 플래쉬 메모리 셀(M11)은 UV 소거된 문턱 전압, 예를들어 2V를 유지한다.

<21> 스위칭 회로부(14)는 플래쉬 메모리 셀 센싱 회로부(13)의 출력인 제 3 노드(Q13)의 전위와 제 1 노드(Q11)의 전위에 따라 제 1 노드(Q11)의 전위 또는 전원 전압(Vcc)을 제 4 노드(Q14)로 전달하며, 다음과 같이 구성된다. 제 1 스위칭 수단(103)은 제 3 노드(Q13)의 전위를 반전시키는 제 4 인버터(I14)의 출력 신호에 따라 제 1 노드(Q11)의 전위 또는 로우 레벨의 전압을 출력한다. 제 4 PMOS 트랜지스터(P14)는 제 1 노드(Q14)와 제 4 노드(Q14) 사이에 접속되어 제 1 스위칭 수단(103)의 출력 신호에 따라 구동된다. 제 2 스위칭 수단(104)은 제 4 및 제 5 인버터(I14 및 I15)에 의해 지연된 제 3 노드(Q13)의 전위에 따라 제 1 노드(Q11)의 전위 또는 로우 레벨의 전압을 출력한다. 제 5 PMOS 트랜지스터(P15)는 전원 단자(Vcc)와 제 4 노드(Q14) 사이에 접속되어 제 2 스위칭 수단(104)의 출력 신호에 따라 구동된다. 상기 제 4 PMOS 트랜지스터(P14)의 웰이 제 1 노드(Q11)와 접속되고, 제 5 PMOS 트랜지스터(P15)의 웰이 제 4 노드(Q14)와 접속된다.

<22> 제 2 부스팅 수단(15)은 ATD 신호와 제 4 노드(Q14)에 의해 출력 단자(VBOOT)에 전원 전압(Vcc) 또는 부스팅 전압을 출력하며, 다음과 같이 구성된다. 전원 단자(Vcc)와 출력 단자(VBOOT) 사이에 제 5 노드(Q15)의 전위에 따라 구동되는 제 6 PMOS 트랜지스터(P16)가 접속된다. 제 5 노드(Q15)와 접지 단자(Vss) 사이에 ATD 신호에 따라 구동되는 제 4 NMOS 트랜지스터(N14)가 접속되고, 제 5 노드(Q15)와 출력 단자(VBOOT) 사이에 ATD

신호에 따라 구동되는 제 7 PMOS 트랜지스터(P17)가 접속된다. 출력 단자(VBOOT)와 접지 단자(Vss) 사이에 제 2 캐패시터 (C12)와 제 5 NMOS 트랜지스터(N15)가 직렬 접속되는데, 제 2 캐패시터(C12)는 제 4 노드(Q14)의 전위에 의해 충전되며, 제 5 NMOS 트랜지스터(N15)는 ATD 신호에 따라 구동된다. 상기 제 6 및 제 7 PMOS 트랜지스터(P16 및 P17)는 각각의 웰이 출력 단자(VBOOT)와 접속된다.

<23> 상기와 같이 구성되는 본 발명에 따른 부스팅 회로의 구동 방법을 설명하면 다음과 같다.

<24> 스탠바이(standby) 모드에서는 ATD 신호가 로우 상태로 인가되는데, ATD 신호가 로우 상태로 인가되면 제 1 부스팅 수단(12)의 제 1 및 제 2 NMOS 트랜지스터 (N11 및 N12)가 턴오프되고, 제 2 PMOS 트랜지스터(P12)가 턴온된다. 따라서, 제 1 노드(Q11)의 전위는 제 2 노드(Q12)의 전위와 같게 된다. 그런데, 로우 상태의 ATD 신호가 제 1 내지 제 3 인버터(I11 내지 I13)를 통해 하이 상태로 반전되고, 이 전위에 의해 제 1 캐패시터(C11)가 충전되어 제 1 노드(Q11)는 제 1 전위(α)를 유지하게 된다. 따라서, 제 1 노드(Q11)와 동일한 전위를 유지하는 제 2 노드(Q12)도 제 1 전위(α)의 전위를 유지하게 되고, 이로 인해 제 1 PMOS 트랜지스터(P11)는 턴오프된다. 한편, ATD 신호를 소정 시간 지연시키는 ATD 신호 지연부(101)와 ATD 신호 지연부(101)의 출력 신호에 따라 기준 전압을 발생시키는 기준 전압 발생기(102)로 구성되는 기준 전압 발생 회로부(11)는 로우 상태의 기준 전압(VREF)을 출력한다. 이에 따라 제 3 NMOS 트랜지스터(N13)가 턴오프되기 때문에 플래쉬 메모리 셀 센싱 회로(13)의 제 3 노드(Q13)는 하이 상태를 유지하게 된다. 하이 상태를 유지하는 제 3 노드(Q13)의 전위에 의해 스위칭 회로부(14)의 제 1

스위칭 수단(103)은 로우 상태의 신호를 출력하고, 제 2 스위칭 수단(104)는 하이 상태의 신호를 출력한다. 이에 따라 제 5 PMOS 트랜지스터(P15)는 턴오프되고, 제 4 PMOS 트랜지스터(P14)는 턴온된다. 따라서, 제 1 노드(Q11)의 전위가 제 4 노드(Q14)로 전달되고, 이 전위에 의해 제 2 캐패시터(C12)가 충전되어 출력 단자(VBOOT)도 제 1 전위(α)로 프리차지된다. 이때, ATD 신호가 로우 상태로 인가되기 때문에 제 2 부스팅 수단(15)도 제 1 부스팅 수단(12)와 동일하게 동작되어 출력 단자(VBOOT)는 제 1 노드(Q11) 및 제 4 노드(Q14)와 같은 제 1 전위(α)를 유지하게 된다.

<25> 독출 모드에서는 ATD 신호가 하이 상태로 인가되는데, ATD 신호가 하이 상태로 인가되면 제 1 부스팅 수단(12)의 제 1 및 제 2 NMOS 트랜지스터(N11 및 N12)가 턴온되고, 제 2 PMOS 트랜지스터(P12)가 턴오프되어 제 2 노드(Q12)는 로우 상태로

된다. 로우 상태를 유지하는 제 2 노드(Q12)의 전위에 의해 제 1 PMOS 트랜지스터 (P11)가 턴온되어 전원 전압(V_{cc})이 제 1 노드(Q11)로 공급된다. 따라서, 이전에 제 1 전위(α)로 프리차지된 제 1 노드(Q11)는 제 2 전위($V_{cc} + \alpha$)를 유지하게 된다. 한편, ATD 신호를 소정 시간 지연시키는 ATD 신호 지연부(101)와 ATD 신호 지연부(101)의 출력 신호에 따라 기준 전압을 발생시키는 기준 전압 발생기(102)로 구성되는 기준 전압 발생 회로부(11)는 하이 상태의 기준 전압(V_{REF})을 출력한다. 이에 따라 제 3 NMOS 트랜지스터 (N13)가 턴온되기 때문에 플래쉬 메모리 셀 센싱 회로(13)의 제 3 노드(Q13)의 전위는 플래쉬 메모리 셀(M11)의 게이트에 인가되는 전압에 따라 그 전위가 결정된다. 그런데, 플래쉬 메모리 셀(M11)의 게이트에 인가되는 제 1 노드(Q11)가 소정 전압, 예를들어 전원 전압(V_{cc})이 1.7~2.6V일 때 제 1 노드(Q11)가 2.5~3.5V 정도를 유지하게 되면 플래쉬 메모리 셀 센싱 회로(13)는 플래쉬 메모리 셀(M11)이 프로그램된 것으로 판단하여 제 3 노드(Q13)는 하이 상태를 유지하게 된다. 즉, 플래쉬 메모리 셀(M11)의 게이트에 인가되는 전압에 따라 플래쉬 메모리 셀(M11)의 셀 전류가 변화되기 때문에 제 3 노드(Q13)의 전위는 셀 전류에 따라 변화하게 된다. 제 3 노드(Q13)의 전위가 하이 상태를 유지하기 때문에 제 4 인버터(I14)를 통해 로우 상태로 반전되고 제 5 인버터(I15)를 통해 하이 상태로 재반전되어 제 1 스위칭 수단(103)은 로우 상태의 신호를 출력하고, 제 2 스위칭 수단(104)는 하이 상태의 신호를 출력한다. 따라서, 제 4 PMOS 트랜지스터 (P14)는 턴온되고, 제 5 PMOS 트랜지스터(P15)는 턴오프된다. 제 4 PMOS 트랜지스터 (P14)를 통해 제 2 전위($V_{cc} + \alpha$)를 유지하는 제 1 노드(Q11)의 전위가

제 4 노드(Q14)로 전달된다. 따라서, 제 2 전위($V_{cc} + a$)를 유지하는 제 4 노드(Q14)의 전위에 의해 제 2 캐패시터(C12)가 충전된다. 한편, ATD 신호가 하이 상태로 인가되기 때문에 제 2 부스팅 수단(15)의 제 1 부스팅 수단(12)와 마찬가지로 동작에 의해 전원 전압(V_{cc})이 출력 단자(VBOOT)로 공급된다. 따라서, 출력 노드(VBOOT)는 제 1 전위(a)로 프리차지된 상태에서 전원 전압(V_{cc})이 인가되고, 또한 제 2 캐패시터(C12)가 제 2 전위($V_{cc} + a$)로 충전되기 때문에 제 3 전위($2V_{cc} + 2a$)를 유지하게 된다.

<26> 한편, 플래쉬 메모리 셀(M11)의 게이트에 인가되는 제 1 노드(Q11)가 소정 전압 이상, 예를들어 전원 전압(V_{cc})이 1.7~2.6V일 때 제 1 노드(Q11)가 3.6~3.9V 정도를 유지하게 되면 플래쉬 메모리 셀 센싱 회로(13)는 플래쉬 메모리 셀(M11)이 소거된 것으로 판단하여 제 3 노드(Q13)는 로우 상태를 유지하게 된다. 제 3 노드(Q13)의 전위가 로우 상태를 유지하기 때문에 제 4 인버터(I14)를 통해 하이 상태로 반전되고 제 5 인버터(I15)를 통해 로우 상태로 재반전되어 제 1 스위칭 수단(103)은 하이 상태의 신호를 출력하고, 제 2 스위칭 수단(104)는 로우 상태의 신호를 출력한다. 따라서, 제 4 PMOS 트랜지스터(P14)는 턴오프되고, 제 5 PMOS 트랜지스터(P15)는 턴온되어 전원 전압(V_{cc})이 제 4 노드(Q14)로 공급되기 때문에 전원 전압(V_{cc})에 의해 제 2 캐패시터(C12)가 충전된다. 한편, ATD 신호가 하이 상태로 인가되기 때문에 제 2 부스팅 수단(15)의 제 1 부스팅 수단(12)와 마찬가지로 동작에 의해 전원 전압(V_{cc})이 출력 단자(VBOOT)로 공급된다. 따라서, 출력 노드(VBOOT)는 제 1 전위(a)로 프리차지된 상태에서 전원 전압(V_{cc})이 인가되고, 또한 제 2 캐패시터(C12)가 전원 전압(V_{cc})의 전위로 충전되기 때문에 제 4 전위($2V_{cc} + a$)를 유지하게 된다.

- <27> 상술한 바와 같이 본 발명에 따른 부스팅 회로는 스탠바이 모드에서 제 1 부스팅 수단과 제 2 부스팅 수단은 제 1 전위(α)로 프리차지되고, 독출 모드에서 제 1 부스팅 수단은 제 2 전위($V_{cc} + \alpha$)로 부스팅되는데, 제 1 부스팅 수단의 부스팅 전위에 따라 플래쉬 메모리 셀의 셀 전류를 변화시켜 플래쉬 메모리 셀 센싱 회로의 출력이 변화되고, 이에 의해 제 2 부스팅 수단은 제 3 전위($2V_{cc} + 2\alpha$)로 부스팅되거나 제 4 전위($2V_{cc} + \alpha$)로 부스팅된다.
- <28> 도 2는 본 발명에 따른 부스팅 회로에 적용되는 ATD 신호 지연부의 일 예를 나타낸 회로도이다.
- <29> 전원 단자(V_{cc})와 제 1 노드(Q21) 사이에 제 1 저항(R21)과 ATD 신호에 따라 구동되는 제 1 PMOS 트랜지스터(P21)가 접속된다. 제 1 노드(Q21)와 접지 단자(V_{ss}) 사이에 ATD 신호에 따라 구동되는 제 1 NMOS 트랜지스터(N21)가 접속된다. 제 1 PMOS 트랜지스터(P21)와 제 1 NMOS 트랜지스터(N21)는 제 1 인버터(I21)를 이룬다. 제 1 노드(Q21)에는 제 2 저항(R22)과 다수의 캐패시터(C21 내지 C23)가 접속되며, 제 1 노드(Q21)의 전위는 제 2 인버터(I22)에 의해 반전된다. NOR 게이트(21)는 제 2 인버터(I22)의 출력 신호와 ATD 신호를 입력하여 논리 조합하고, NOR 게이트(21)의 출력 신호는 제 3 인버터(I23)에 의해 반전되어 지연된 ATD 신호 (DELAY_ATD)로서 출력된다.
- <30> 상기와 같이 구성되는 본 발명에 따른 부스팅 회로에 적용되는 ATD 지연 회로의 구동 방법을 개략적으로 설명하면 다음과 같다. 어드레스가 천이하면 이를 검출하여 ATD

신호가 하이 상태로 인가되고, 하이 상태의 ATD 신호가 제 1 및 제 2 인버터(I21 및 I22)를 통해 지연된다. 제 1 및 제 2 인버터(I21 및 I22)를 통해 지연된 ATD 신호와 지연되지 않은 ATD 신호가 NOR 게이트(21)에 의해 논리 조합되어 로우 상태로 출력되고, 로우 상태의 신호가 제 3 인버터(I23)에 의해 하이 상태로 반전되어 출력 신호(DELAY_OUT)를 출력한다.

<31> 도 3은 본 발명에 따른 부스팅 회로에 적용되는 기준 전압 발생기의 일 예를 나타낸 회로도이다.

<32> 전원 단자(Vcc)와 출력 단자(VREF) 사이에 ATD 지연 회로의 출력 신호, 즉 지연된 ATD 신호(DELAY_ATD)가 제 1 인버터(I31)를 통해 반전된 신호에 따라 구동되는 제 1 PMOS 트랜지스터(P31)가 접속된다. 출력 단자(VREF)와 제 1 노드(Q31) 사이에 제 1 NMOS 트랜지스터(N31)가 접속되고, 제 1 노드(Q31)와 접지 단자(Vss) 사이에 제 2 NMOS 트랜지스터(N32)가 접속된다. 출력 단자(VREF)와 접지 단자(Vss) 사이에 제 1 노드(Q31)의 전위에 따라 구동되는 제 3 NMOS 트랜지스터(N33)와 제 1 인버터(I31)의 출력 신호에 따라 구동되는 제 4 NMOS 트랜지스터(N34)가 병렬 접속된다. 한편, 직렬 접속된 제 1 및 제 2 NMOS 트랜지스터(N31 및 N32)와 제 3 NMOS 트랜지스터(N33)는 병렬 접속되고, 제 4 NMOS 트랜지스터(N34)도 병렬 접속된다.

<33> 상기와 같이 구성되는 기준 전압 발생기의 구동 방법을 설명하면 다음과 같다. 어드레스가 천이하는 것을 검출하여 ATD 신호가 하이 상태로 입력되고, 이에 따라 ATD 지

연 신호(Delay_ATD)가 하이 상태로 입력되면 제 1 인버터(I31)에 의해 로우 상태로 반전되어 제 1 PMOS 트랜지스터(P31)를 턴온시키고, 제 4 NMOS 트랜지스터(N34)를 턴오프시킨다. 따라서, 전원 전압(Vcc)이 제 1 PMOS 트랜지스터(P31)를 통해 출력 단자(VREF)로 인가되는데, 출력 단자(VREF)의 전위는 직렬 접속된 제 1 및 제 2 NMOS 트랜지스터(N31 및 N32)와 이들과 병렬 접속된 제 3 NMOS 트랜지스터(N33)에 의해 결정된다. 즉, 하이 상태를 유지하는 출력 단자(VREF)의 전위에 따라 제 1 NMOS 트랜지스터(N31)가 턴온되어 제 1 노드(Q31)로 전압을 공급하고, 제 2 및 제 3 NMOS 트랜지스터(N32 및 N33)가 제 1 노드(Q31)의 전위에 따라 턴온된다. 따라서, 이들 NMOS 트랜지스터(N31, N32 및 N33)에 의해 출력 단자(VREF)의 전위가 결정된다.

<34> 도 4는 본 발명에 따른 부스팅 회로에 적용되는 제 1 및 제 2 스위칭 수단의 일 예를 나타낸 회로도이다.

<35> 부스팅 전압이 입력되는 전원 입력 단자(VPPI)와 제 1 노드(Q41) 사이에 출력 단자(OUT)의 전위에 따라 구동되는 제 1 PMOS 트랜지스터(P41)가 접속되고, 제 1 노드(Q41)와 접지 단자(Vss) 사이에 입력 신호(IN)에 따라 구동되는 제 1 NMOS 트랜지스터(N41)가 접속된다. 전원 입력 단자(VPPI)와 출력 단자(OUT) 사이에 제 1 노드(Q41)의 전위에 따라 구동되는 제 2 PMOS 트랜지스터(P42)가 접속되고, 출력 단자(OUT)와 접지 단자(Vss) 사이에 입력 신호(IN)을 반전시키는 제 1 인버터(I41)의 출력 신호에 따라 구동되는 제 2 NMOS 트랜지스터(N42)가 접속된다. 여기서, 입력 신호(IN)은 제 1 스위칭 수단(103)의 경우 센싱 회로(13)의 출력이 반전된 신호이고, 제 2 스위칭 수단(104)의 경우 센싱 회로(13)의 출력이 지연된 신호이다.

- <36> 상기와 같이 구성되는 본 발명에 따른 스위칭 수단의 구동 방법을 설명하면 다음과 같다.
- <37> 입력 신호(IN)가 로우 상태로 입력되면 제 1 NMOS 트랜지스터(N41)가 턴오프되고, 제 1 인버터(I41)를 통해 하이 상태로 반전되어 제 2 NMOS 트랜지스터(N42)가 턴온된다. 턴온된 제 2 NMOS 트랜지스터(N42)에 의해 출력 단자(OUT)의 전위는 로우 상태가 되고, 이에 의해 제 1 PMOS 트랜지스터(P41)가 턴온된다. 따라서, 제 1 노드(Q41)에 입력 전압(VPPI)이 인가되어 제 1 노드(Q41)는 하이 상태를 유지하고, 이로 인해 제 2 PMOS 트랜지스터(P42)는 턴오프되기 때문에 출력 단자(OUT)는 로우 상태를 유지하게 된다.
- <38> 입력 신호(IN)가 하이 상태로 입력되면 제 1 NMOS 트랜지스터(N41)가 턴온되고, 제 1 인버터(I41)를 통해 로우 상태로 반전되어 제 2 NMOS 트랜지스터(N42)가 턴오프된다. 턴온된 제 1 NMOS 트랜지스터(N41)에 의해 제 1 노드(Q41)의 전위는 로우 상태가 되고, 이에 의해 제 2 PMOS 트랜지스터(P42)가 턴온된다. 따라서, 제 2 PMOS 트랜지스터(P42)를 통해 출력 단자(OUT)로 입력 전압(VPPI)이 인가되고, 출력 단자(OUT)는 입력 전압(VPPI)의 전위를 유지하게 된다.

【발명의 효과】

- <39> 상술한 바와 같이 본 발명에 의하면, 스탠바이 모드에서 제 1 부스팅 수단과 제 2 부스팅 수단은 제 1 전위로 프리차지되고, 독출 모드에서 제 1 부스팅 수단은 제 2 전위로 부스팅되는데, 제 1 부스팅 수단의 부스팅 전위에 따라 플래쉬 메모리 셀의 셀 전류

를 변화시켜 플래쉬 메모리 셀 센싱 회로의 출력이 변화되고, 이에 의해 제 2 부스팅 수단은 제 3 전위로 부스팅되거나 제 4 전위로 부스팅되도록 함으로써 고전압이 셀의 워드라인에 인가되어 셀에 스트레스를 주게되는 문제를 해결하고, 필요없는 전류 소모도 방지하며, 독출 마진도 확보할 수 있다.

【특허청구범위】**【청구항 1】**

소정 시간 지연된 ATD 신호에 따라 기준 전압을 발생시키기 위한 기준 전압 발생 회로부;

상기 ATD 신호와 그 반전 신호에 따라 소정의 부스팅 전압을 출력하기 위한 제 1 부스팅 수단;

상기 기준 전압과 상기 제 1 부스팅 수단의 부스팅 전압에 따라 플래쉬 메모리 셀을 센싱하며, 상기 플래쉬 메모리 셀의 게이트 단자에 인가되는 상기 제 1 부스팅 수단의 부스팅 전압에 따라 출력 신호가 변화되는 센싱 회로;

상기 제 1 부스팅 회로의 부스팅 전압과 상기 센싱 회로의 출력 신호에 따라 상기 제 1 부스팅 회로의 부스팅 전압 또는 전원 전압을 인가하기 위한 스위칭 회로;

상기 ATD 신호에 따라 출력 단자에 전원 전압을 공급하고, 상기 제 1 부스팅 회로의 부스팅 전압 또는 전원 전압에 따라 부스팅되어 두가지 레벨의 부스팅 전압을 상기 출력 단자로 출력하기 위한 제 2 부스팅 수단을 포함하여 이루어진 것을 특징으로 하는 부스팅 회로.

【청구항 2】

제 1 항에 있어서, 상기 기준 전압 발생 회로부는 상기 ATD 신호를 소정 시간 지연시키기 위한 ATD 신호 지연 회로; 및

상기 ATD 신호 지연 회로에 의해 지연된 ATD 신호에 따라 기준 전압을 발생시키기 위한 기준 전압 발생 회로를 포함하여 이루어진 것을 특징으로 하는 부스팅 회로.

【청구항 3】

제 1 항에 있어서, 상기 제 1 부스팅 수단은 전원 단자와 제 1 노드 사이에 접속되어 제 2 노드의 전위에 따라 구동되는 제 1 PMOS 트랜지스터;

상기 제 2 노드와 접지 단자 사이에 접속되어 상기 ATD 신호에 따라 구동되는 제 1 NMOS 트랜지스터;

상기 제 2 노드와 상기 제 1 노드 사이에 접속되어 상기 ATD 신호에 따라 구동되는 제 2 PMOS 트랜지스터;

상기 제 1 노드와 접지 단자 사이에 접속되어 상기 ATD 신호의 반전 신호에 따라 충전되는 캐패시터; 및

상기 캐패시터와 접지 단자 사이에 접속되어 상기 ATD 신호에 따라 구동되는 제 2 NMOS 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 부스팅 회로.

【청구항 4】

제 1 항에 있어서, 상기 센싱 회로는 전원 단자와 출력 단자 사이에 접속되며, 게이트 단자가 접지 단자와 접속된 PMOS 트랜지스터;

상기 출력 단자와의 사이에 접속되며, 상기 기준 전압에 따라 구동되는 NMOS 트랜지스터; 및

상기 제 1 부스팅 수단의 부스팅 전압에 따라 구동되는 플래쉬 메모리 셀을 포함하여 이루어진 것을 특징으로 하는 부스팅 회로.

【청구항 5】

제 4 항에 있어서, 상기 플래쉬 메모리 셀은 소거된 셀인 것을 특징으로 하는 부스팅 회로.

【청구항 6】

제 1 항에 있어서, 상기 스위칭 회로는 상기 센싱 회로의 출력 신호의 반전 신호에 따라 상기 제 1 부스팅 수단의 부스팅 전압 또는 로우 레벨의 전압을 출력하기 위한 제 1 스위칭 수단;

상기 제 1 스위칭 수단의 출력 신호에 따라 상기 제 1 부스팅 수단의 부스팅 전압을 인가하기 위한 제 1 PMOS 트랜지스터;

상기 센싱 회로의 출력 신호에 따라 상기 제 1 부스팅 수단의 부스팅 전압 또는 로우 레벨의 전압을 출력하기 위한 제 2 스위칭 수단; 및

상기 제 2 스위칭 수단의 출력 신호에 따라 상기 전원 전압을 인가하기 위한 5 PMOS 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 부스팅 회로.

【청구항 7】

제 1 항에 있어서, 상기 제 2 부스팅 수단은 상기 전원 단자와 출력 단자 사이에 접속되어 제 1 노드의 전위에 따라 구동되는 제 1 PMOS 트랜지스터;

상기 제 1 노드와 접지 단자 사이에 접속되어 상기 ATD 신호에 따라 구동되는 제 1 NMOS 트랜지스터;

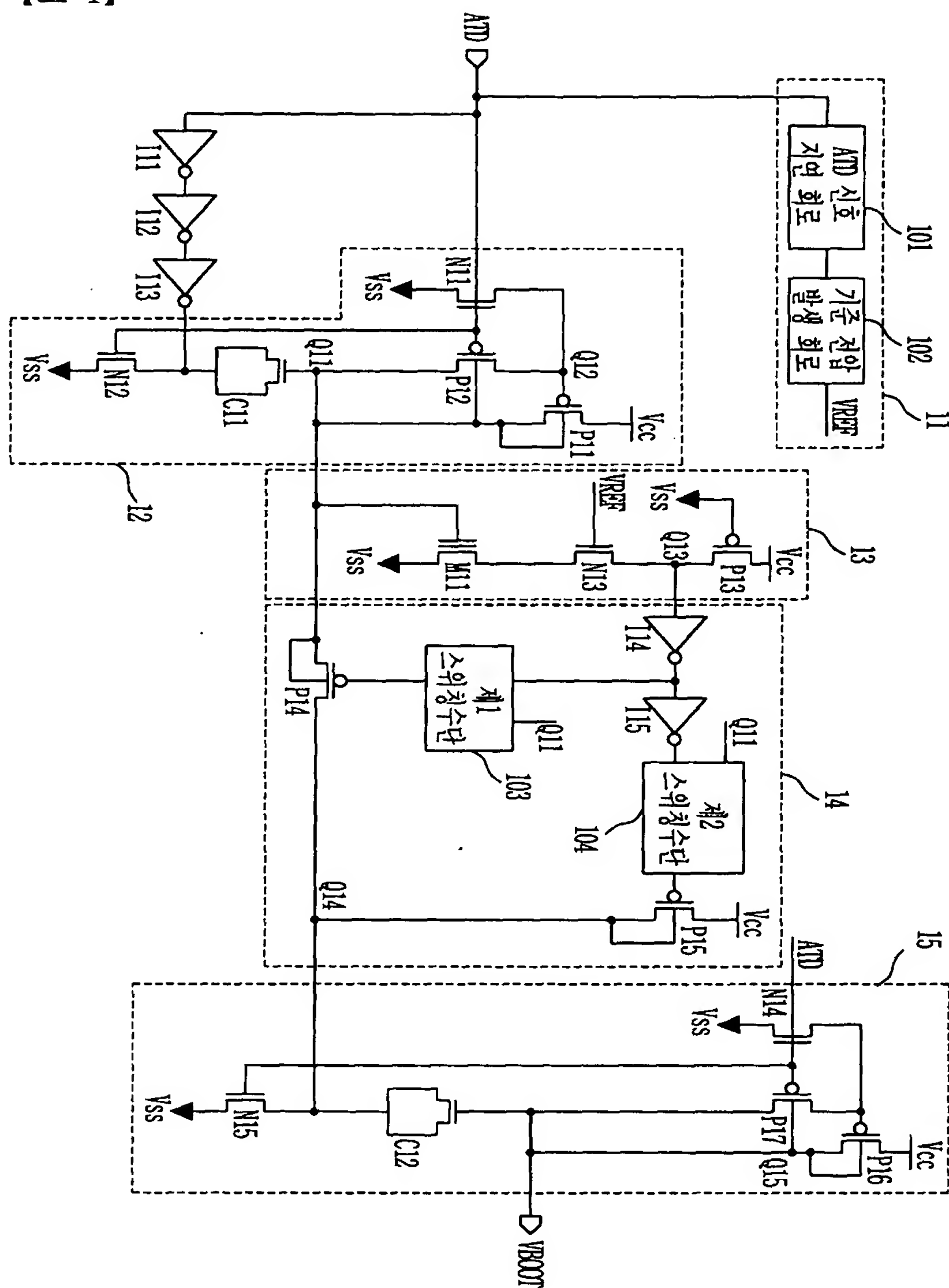
상기 제 1 노드와 출력 단자 사이에 접속되어 상기 ATD 신호에 따라 구동되는 제 2 PMOS 트랜지스터;

상기 출력 단자와의 사이에 접속되어 상기 스위칭 회로를 통해 인가되는 제 1 부스팅 수단의 부스팅 전압 또는 전원 전압에 따라 부스팅되는 캐패시터; 및

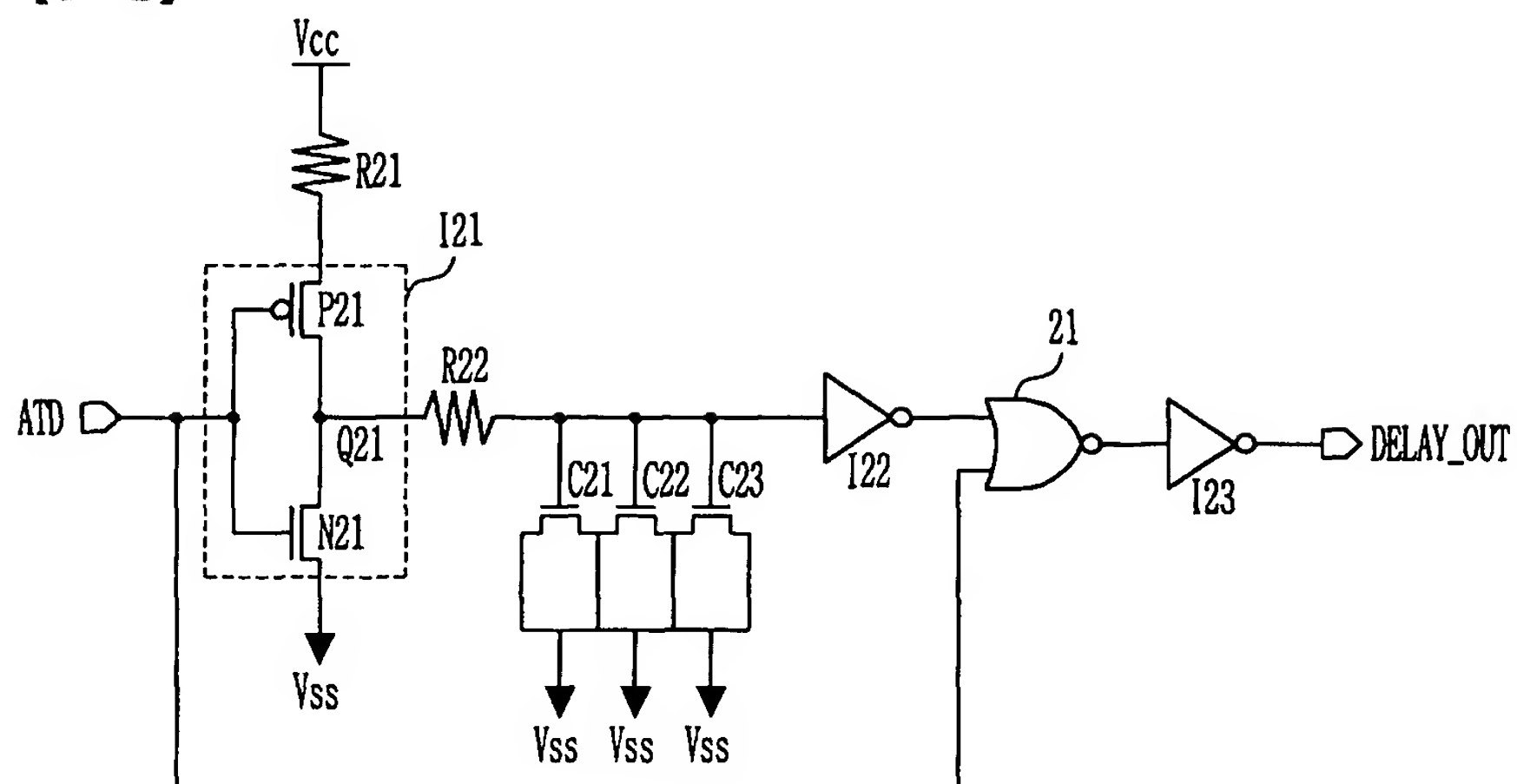
상기 캐패시터와 접지 단자 사이에 접속되어 상기 ATD 신호에 따라 구동되는 제 2 NMOS 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 부스팅 회로.

【도면】

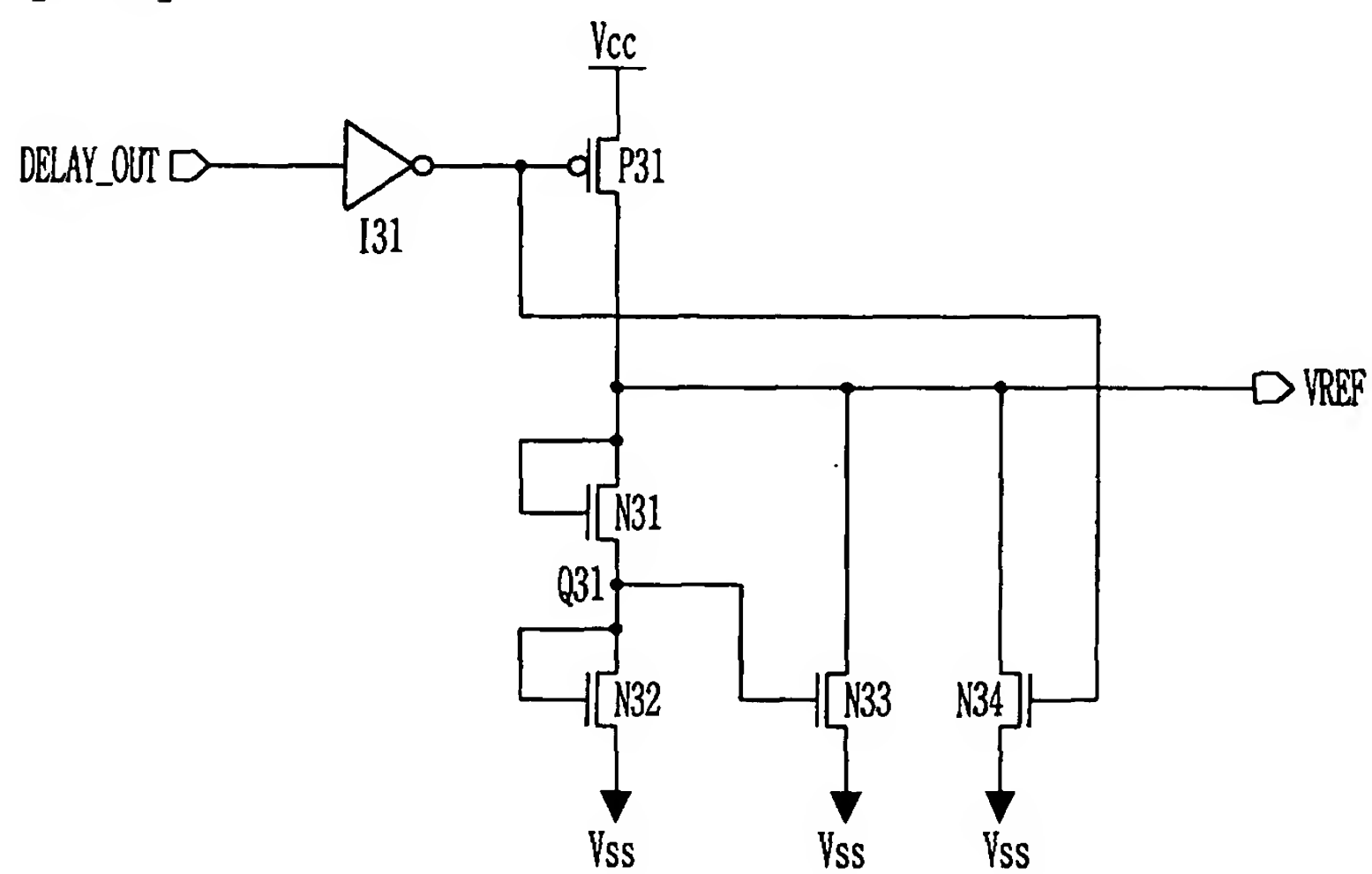
【도 1】



【도 2】



【도 3】



【도 4】

